

550,805

(12)特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局(43) 国際公開日
2004 年 10 月 7 日 (07.10.2004)

PCT

(10) 国際公開番号
WO 2004/086485 A1

- (51) 国際特許分類: H01L 21/316, 21/318
- (21) 国際出願番号: PCT/JP2004/003638
- (22) 国際出願日: 2004 年 3 月 18 日 (18.03.2004)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:
特願2003-79279 2003 年 3 月 24 日 (24.03.2003) JP

(71) 出願人 (米国を除く全ての指定国について): 株式会社堀場製作所 (HORIBA, LTD.) [JP/JP]; 〒601-8510 京都府京都市南区吉祥院宮の東町2番地 Kyoto (JP). 独

立行政法人産業技術総合研究所 (NATIONAL INSTITUTE OF ADVANCED INDUSTRIAL SCIENCE AND TECHNOLOGY) [JP/JP]; 〒100-8921 東京都千代田区霞が関1丁目3番1号 Tokyo (JP). 株式会社ルネサステクノロジ (RENESAS TECHNOLOGY CORP.) [JP/JP]; 〒100-6334 東京都千代田区丸の内二丁目4番1号 Tokyo (JP). ローム株式会社 (ROHM CO., LTD.) [JP/JP]; 〒615-8585 京都府京都市右京区西院溝崎町21番地 Kyoto (JP).

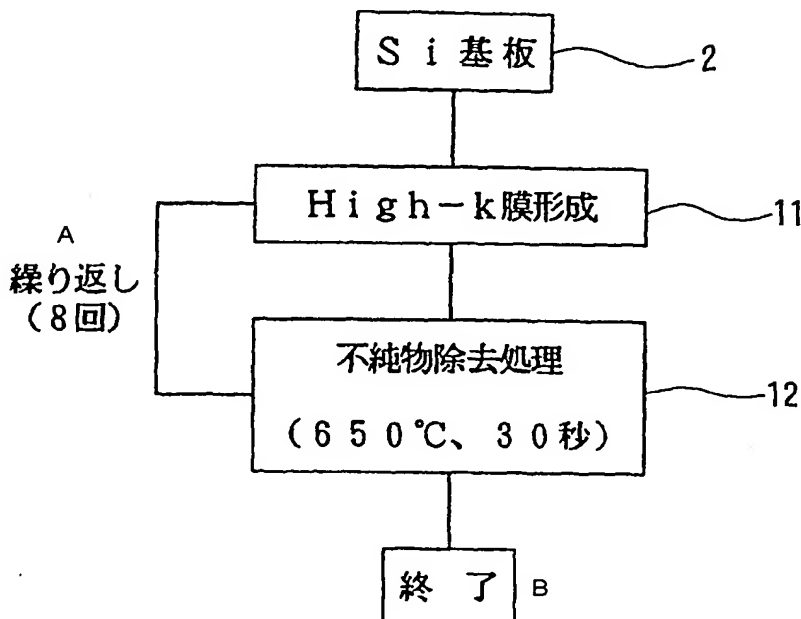
(72) 発明者; および

(75) 発明者/出願人 (米国についてのみ): 富永 浩二 (TOMINAGA, Koji) [JP/JP]; 〒601-8510 京都府京都市南区吉祥院宮の東町2番地 株式会社堀場製作所内 Kyoto (JP). 安田 哲二 (YASUDA, Tetsuji) [JP/JP]; 〒305-8562 茨城県つくば市東1丁目1-1 独立行政法人産業技術総合研究所内 Ibaraki (JP). 生田 目 俊秀

[続葉有]

(54) Title: METHOD FOR FORMING INSULATING FILM IN SEMICONDUCTOR DEVICE

(54) 発明の名称: 半導体装置における絶縁膜の形成方法



(57) Abstract: A method for manufacturing a semiconductor device is disclosed which enables to eliminate impurities in a gate insulating film as much as possible which impurities deteriorate the film properties of the gate insulating film. In this method, a step for forming an insulating film with a thickness of 0.3-2 nm and a step for removing impurities in the insulating film are repeated a plurality of times, thereby forming an insulating film having a certain thickness.

(57) 要約: 本発明は、ゲート絶縁膜中にその膜質を劣化させる不純物を可及的に存在させないようにすることができる半導体装置の製造方法を提供する。本発明では、絶縁膜の厚みを0.3~2nmの範囲に成膜する工程と前記絶縁膜中の不純物を除去する工程を複数回繰り返すことによって、所定厚みの絶縁膜とする。

- 2...Si SUBSTRATE
11...HIGH-K FILM FORMATION
12...IMPURITIES REMOVAL TREATMENT (650°C, 30 SECONDS)
A...REPEAT (8 TIMES)
B...END

WO 2004/086485 A1



(NABATAME, Toshihide) [JP/JP]; 〒100-6334 東京都千代田区丸の内二丁目4番1号 株式会社ルネサステクノロジ内 Tokyo (JP). 岩本 邦彦 (IWAMOTO, Kunihiko) [JP/JP]; 〒615-8585 京都府京都市右京区西院溝崎町2番地 ローム株式会社内 Kyoto (JP).

(74) 代理人: 藤本 英夫 (FUJIMOTO, Hideo); 〒534-0025 大阪府大阪市都島区片町2丁目2番40号 大発ビル5階 Osaka (JP).

(81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AT, AU, AZ, BA, BB, BG, BR, BW, BY, BZ, CA, CH, CN, CO, CR, CU, CZ, DE, DK, DM, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, HR, HU, ID, IL, IN, IS, KE, KG, KP, KR, KZ, LC, LK, LR, LS, LT, LU, LV, MA, MD, MG, MK, MN, MW, MX, MZ, NA, NI, NO, NZ, OM, PG, PH, PL, PT, RO, RU, SC, SD, SE, SG, SK, SL, SY, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, YU, ZA, ZM, ZW.

(84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LS, MW, MZ, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), ヨーロッパ (AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HU, IE, IT, LU, MC, NL, PL, PT, RO, SE, SI, SK, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).

規則4.17に規定する申立て:

— すべての指定国のための先の出願に基づく優先権を主張する出願人の資格に関する申立て (規則4.17(iii))

添付公開書類:

— 国際調査報告書

2文字コード及び他の略語については、定期発行される各PCTガゼットの巻頭に掲載されている「コードと略語のガイダンスノート」を参照。

明細書

半導体装置における絶縁膜の形成方法

技術分野

この発明は、半導体装置における絶縁膜の形成方法に関し、特に、MIS (Metal Insulator Semiconductor) 型
5 トランジスタにおけるゲート絶縁膜やMIM (Metal Insulator Metal) 型キャパシタにおけるキャパシタ用絶縁膜の形成方法に関する。

10 背景技術

近年、半導体の高集積化に伴い、その絶縁膜には、誘電率の大きな金属酸化物等 (High-k膜) が用いられている。そして、このHigh-k膜として例えば、 Al_2O_3 や HfO_2 等が公知であり、このようなHigh-k膜を成膜する技術として、ALD (Atomic Layer
15 Deposition; 原子層成膜) 法がある。このALD法は、原料として、例えば、トリメチルアルミニウム ($TMA: Al(CH_3)_3$) と水蒸気 (H_2O) を用い、これらの原料を交互にSi基板に吹き付けることにより、 Al_2O_3 の成膜を行うものである。このとき、原料を構成する CH_3 基 (メチル基) が膜中に取り込まれ、これが不純物 (C_xH_y)
20 として振る舞うことにより、膜質を劣化させる原因となっている。この不純物を取り除く方法として、例えば、MIS型トランジスタのゲート絶縁膜においては、一般的には、第10図 (A) の右側に図示するように、Si基板51の上面にHigh-k膜52を成膜した後に熱処理を行っている。

- しかしながら、上述のように、成膜終了後の熱処理では充分ではなく、第10図(A)に示すように、成膜されたHigh-k膜52の表面付近の不純物53しか除去することができない。このため、Si基板51とHigh-k膜52との界面近傍の深いところまで熱処理により不純物処理を行う場合は、第10図(B)に示すように、熱処理温度を高くしたり熱処理を長時間にわたって行う必要があるが、そのようにした場合、前記第10図(B)の右側に図示するように、前記界面にSiO₂等の界面層54が形成されてしまう。この界面層54は、誘電率 ϵ が低く($\epsilon = 3.9$)、折角のHigh-k膜52の効果が損なわれてしまう。
- 10 上記熱処理以外の不純物除去の方法として、「日立国際電気 第49回春季応用物理学関係連合講演会予稿集 28p-A-11-14)」に記載されるようなプラズマ酸化による方法がある。この不純物除去の方法は、CVD (Chemical Vapor Deposition) 法によるHfO₂ (酸化ハフニア) 膜の形成工程とプラズマ酸化による不純物
- 15 除去処理工程とを組み合わせたものである。しかしながら、この方法によっても、前記第10図(B)に示したような界面層54が容易に形成されてしまう問題がある。

- 上述した問題は、MIS型トランジスタのゲート絶縁膜の成膜時のみならず、MIM型キャパシタのキャパシタ用絶縁膜の成膜時においても同様に生じている。
- 20

この発明は、上述の事柄に留意してなされたもので、その目的は、半導体装置における絶縁膜中にその膜質を劣化させる不純物を可及的に存在させないようにすることのできる半導体装置における絶縁膜の形成方法(以下、単に絶縁膜の形成方法という)を提供することである。

上記目的を達成するため、この発明の絶縁膜の形成方法は、絶縁膜の厚みを 0.3 ～ 2 nm の範囲に成膜する工程と前記絶縁膜中の不純物を除去する工程とを複数回繰り返すことによって、所定厚みの絶縁膜とすることを特徴としている（請求の範囲第 1 項）。

- 5 前記請求の範囲第 1 項に記載の絶縁膜の形成方法においては、所望の厚みの絶縁膜を一度に形成するのではなく、前記絶縁膜をその厚みを 0.3 ～ 2 nm の範囲内で成膜する工程と前記絶縁膜における不純物を除去する工程とを複数回繰り返すようにし、所定厚みの絶縁膜としているので、界面層の成長による不都合を防止しつつ、不純物が可及的に少ない High-k 膜を容易かつ確実に形成することができる。

- そして、前記不純物を除去する工程を、還元性ガス雰囲気または酸化性ガス雰囲気下で行うようにしてもよく（請求の範囲第 2 項）、また、還元性ガス雰囲気下と酸化性ガス雰囲気下との組み合わせで行うようにしてもよい（請求の範囲第 3 項）。いずれのガス雰囲気下においても、所望の High-k 膜を容易かつ確実に形成することができる。

そして、前記不純物を除去する工程における還元性雰囲気は、アンモニアガス、水素ガスまたは不活性ガスのいずれかの単独ガス、これらのガスの混合ガス、プラズマ窒素、または、真空中でのいずれかによって形成することができる（請求の範囲第 4 項）。

- 20 さらに、前記不純物を除去する工程における酸化性ガス雰囲気は、酸素ガス、一酸化窒素、亜酸化窒素またはオゾンガスのいずれかの単独ガス、これらのガスの混合ガス、または、プラズマ酸素のいずれかによって形成することができる（請求の範囲第 5 項）。

25 図面の簡単な説明

第 1 図はこの発明の絶縁膜の形成方法が適用される M I S 型トランジス

タの構造を概略的に示す図である。

第2図は Al_2O_3 膜を昇温脱離ガス分析したときの結果を説明するための図である。

第3図は HfO_2 膜を昇温脱離ガス分析したときの結果を説明するための図である。

第4図は HfAlO_x 膜を昇温脱離ガス分析したときの結果を説明するための図である。

第5図は HfO_2 膜を軟X線光電子分光法で測定したときの結果を説明するための図である。

10 第6図はこの発明の半導体装置の製造方法の一例を説明するための図である。

第7図は前記半導体装置の製造方法によって形成された High-k 膜の特性を比較例とともに示す図である。

第8図はこの発明の半導体装置の製造方法の他の例を説明するための図である。

第9図はこの発明の絶縁膜の形成方法が適用されるMIM型キャパシタの構造を概略的に示す図である。

第10図は従来技術およびその欠点を説明するための図である。

20 発明を実施するための最良の形態

以下、この発明の詳細を、図を参照しながら説明する。まず、第1図は、この発明の絶縁膜の形成方法が適用される半導体装置としてのMIS型トランジスタ1の構成を概略的に示すもので、この図において、2はSi単結晶基板（以下、単にSi基板という）で、その抵抗率は例えば0.01～15 $\Omega\cdot\text{cm}$ である。3は素子間を分離させるための素子分離酸化膜で、Si基板2を熱酸化させて形成される。4はSi基板2の表面2aに

形成されるゲート絶縁膜で、その形成方法については、後で詳しく説明する。

5 はゲート絶縁膜 4 の上面に形成されるゲート電極で、例えば多結晶 Si 膜や多結晶 Si Ge 膜、または、ゲート絶縁膜 4 と反応しない Pt (白金) などの貴金属や Ti N、Ta N などの高融点金属よりなる。6 はチャンネル領域で、n チャンネルには P (リン) などを、p チャンネルには B (ボロン) などをそれぞれ注入し、800~1000℃の温度で10~30分間熱処理を行って活性化させる。7 は層間絶縁膜で、例えば Si O₂ よりなり、CVD (Chemical Vapor Deposition) 法などで形成される。8 はチャンネル領域 6 の引き出し電極で、例えば Al よりなり、ソース・ドレイン電極となる。なお、パターニングは、例えばフォトリソグラフィの技術によって行われる。

上記ゲート絶縁膜 4 は、所望の厚みの High-k 膜からなり、第 6 図に示すように、成膜工程 11 と不純物除去処理工程 (アニール工程) 12 とを順次複数回繰り返して行う点に特徴がある。つまり、Si 基板 2 に High-k 膜 4 を所望厚さのものを一度に成膜するのではなく、少しずつ所定厚さの膜を成膜し、その後、所定のガス雰囲気下でアニールして不純物の残留を可及的に少なくする点に特徴がある。そこで、このようなゲート絶縁膜 4 の形成方法の具体的実施例を説明する前に、発明者らが行った実験やそれらの結果に対する考察について、第 2 図~第 5 図を参照しながら説明する。

まず、ALD 法によって、例えば、適宜厚さ (例えば、500 μm 程度) の Si 単結晶板からなる Si 基板上に Al₂O₃ 膜を 0.3~6.3 nm の厚みに成膜した。この成膜条件は、基板温度 250℃で、出発原料として、Al 原料としては TMA (Al (CH₃)₃ : トリメチルアルミニウム) を、酸化剤としては水蒸気ガスをそれぞれ用いた。前記 Al₂O₃

膜を昇温脱離ガス分析装置 (TDS: Thermal Desorption Spectroscopy) で分析を行った。第2図はその結果を示すものである。この第2図において、(A)は膜厚を種々変えたときの C_2H_4 ガス (分子量28) の脱離を示すものであり、(B)は膜厚と C_2H_4 ガスの脱離量との関係を示すものである。なお、その他の分子量、例えば、分子量16の CH_4 または分子量30の C_2H_6 においても、さらに、分子量44の CO_2 においても、前記第2図における傾向と同様であった。

前記昇温脱離ガス分析は、温度を上昇させながらそのときの脱離するガスを分析する方法であるので、熱処理を行っていることと同じであり、この分析結果から発見したことは、熱処理によって不純物を除去できる膜厚は有限で約1.5 nm以下であり、それ以上の膜厚では、不純物が残留する場合があるということである。

そして、ALD法によって、例えば、適宜厚さ (例えば、500 μm 程度) のSi単結晶板からなるSi基板上に HfO_2 膜を0.7~7.5 nmの厚みに成膜した。この成膜条件は、基板温度250℃で、出発原料として、Hf原料としてはTDMAH [$Hf(N(CH_3)_2)_4$: テトラキスジメチルアミノハフニウム] を、酸化剤としては水蒸気ガスをそれぞれ用いた。前記 HfO_2 膜をTDSで昇温脱離ガス分析を行った。第3図はその結果を示すものである。この第3図に示す膜厚と C_2H_4 (ガス分子量28) の脱離との関係から、ある膜厚以上になると、脱離するガスの量が飽和し、したがって、ある膜厚以下にすることにより、膜中に含まれる不純物を除去することができることが分かる。特に、第3図からは、膜厚が2.0 nm以下であれば不純物を良好に除去することが分かる。なお、その他の分子量、例えば、分子量16の CH_4 や分子量30の C_2H_6 においても、さらに、分子量44の CO_2 においても、前記第3図におけ

る傾向と同様であった。

q

また、ALD法によって、適宜厚さ（例えば、 $500\mu\text{m}$ 程度）のSi単結晶板からなるSi基板上にHfAlO_x膜を $0.7\sim 1.1\text{nm}$ の厚みに成膜した。この成膜条件は、基板温度 250°C で、出発原料として、Al原料としてはTMA、Hf原料としてはTDMAHを、酸化剤としては水蒸気ガスをそれぞれ用いた。前記HfAlO_x膜をTDSで昇温脱離ガス分析を行った。第4図はその結果を示すものである。この第4図において、(A)は膜厚を種々変えたときの分子量 $28\text{ (C}_2\text{H}_4\text{)}$ のTDSスペクトルを示すものであり、(B)は膜厚とC₂H₄ガスの脱離量との関係を示すものである。

前記第4図に示される結果からは、ある膜厚以上になると、脱離するガスの量は飽和し、したがって、ある膜厚以下にすることにより、膜中に含まれる不純物を除去することができることが分かり、特に、第4図(B)からは、膜厚が 1.8nm 以下であれば不純物を良好に除去することができるといったことが分かる。

そして、前記第2図～第4図に示される結果から、膜を構成する元素の種類によって不純物を除去することのできる膜厚が変わること、および、膜厚が $0.3\sim 2.0\text{nm}$ の範囲（最適には、 $0.5\sim 1.8\text{nm}$ の範囲）である場合、熱処理によって不純物を確実に除去できるといったことが導かれる。なお、 0.3nm は膜として形成できる最小の膜厚であり、1モノレイア（monolayer：単原子層）に相当する。

次に、前記成膜工程に行われる不純物除去工程（アニール工程）について説明する。この不純物除去工程（アニール工程）は、あるガス雰囲気下において所定の温度状態でHigh-k膜をアニールするもので、雰囲気ガスとしては、還元性ガス雰囲気または酸化性ガス雰囲気があり、成膜工程の後に行われる不純物除去工程（アニール工程）を、前記ガス雰囲気を

適宜組み合わせて行うのである。第5図は、不純物除去工程（アニール工程）を行った後に、XPS（X-ray photoelectron spectroscopy：軟X線光電子分光法）による測定データを示すもので、（A）は1回目のアニールを還元性ガス雰囲気下で行った場合
5 を示し、（B）は1回目のアニールを酸化性ガス雰囲気下で行った場合を示している。この第5図から、アニールを還元性ガス雰囲気下で行った場合、酸化性ガス雰囲気下の場合に比べて、界面層の増加の程度かなり小さいことが分かる。つまり、アニールにおける雰囲気ガスを適宜制御することにより、界面層の形成を抑制することができる。

10 次に、この発明の絶縁膜の形成方法、より具体的には、MIS型トランジスタ1のゲート絶縁膜4を形成する手法の具体的実施例について説明する。第6図および第7図は、この発明の第1実施例を説明するための図で、この実施例においては、ゲート絶縁膜4としてのHigh-k膜の膜厚が4.0nmである。まず、適宜厚さ（例えば、500μm程度）のSi
15 単結晶板からなるSi基板上2を用意し、この表面上にALD法で膜厚0.5nmのHigh-k膜としてのHfAlO_x膜を成膜する（1回目の成膜、第6図中の符号11参照）。このときの成膜条件は、基板温度250℃で、出発原料として、Al原料としてはTMA、Hf原料としてはTDMAHを、酸化剤としては水蒸気ガスをそれぞれ用いる。

20 次いで、前記HfAlO_x膜を、還元性ガスとしてのNH₃（アンモニア）ガス雰囲気下で、650℃、30秒間熱処理を行って不純物処理を行う（1回目の熱処理、第6図中の符号12参照）。この1回目の熱処理は、還元性ガス雰囲気下で行うのが好ましい。何故なら、酸化ガス雰囲気下で熱処理を行った場合、膜厚が0.5nmと薄いため、界面のSiが酸化
25 されてSiO₂を形成し、誘電率の低い界面層が形成されるからである。なお、この実施例においては、650℃で熱処理を行っているが、前記第

2 図 (A) および第 4 図 (A) の結果から、この熱処理時の雰囲気温度を約 500℃ 以上に設定しておけば、所望の不純物除去効果が得られることが分かる。したがって、不純物除去の処理温度は 500℃ 以上が好ましい。

- 5 前記 1 回目の熱処理の後、 HfAlO_x 膜を、前記 1 回目の成膜と同じ成膜条件で同じ厚みに成膜する (2 回目の成膜、第 6 図中の符号 11 参照)。

- 前記 2 回目の成膜の後、今度は酸素ガス (例えば 130 Pa の压力下) 雰囲気下において前記 1 回目の熱処理と同じ温度および時間で熱処理を行って不純物処理を行う (2 回目の熱処理、第 6 図中の符号 12 参照)。

そして、以下、7 回目まで成膜と熱処理とを交互に繰り返す。この場合、熱処理は、2 回目の熱処理と同じように行う。

- そして、8 回目の成膜を前記 7 回目までの成膜と同様に行い、その後、酸素ガス雰囲気 (酸化性ガス雰囲気) 下で 7 回目までの熱処理と同じ温度および時間で熱処理を行って不純物処理を行う。

- 第 7 図は、上述した成膜と熱処理とを交互に複数回繰り返して行うことにより作成した HfAlO_x 膜 (膜厚 4.0 nm) A と、最初に膜厚 4.0 nm の HfAlO_x 膜を成膜し、最後に不純物処理のため 650℃ で 30 秒間熱処理した HfAlO_x 膜 B と、最初に膜厚 4.0 nm の HfAlO_x 膜を成膜し、最後に不純物処理のため 850℃ で 30 秒間熱処理した HfAlO_x 膜 C をそれぞれ昇温脱離ガス分析を行った結果を示すものである。

- 前記第 7 図から、成膜と熱処理 (不純物除去処理) とを交互に行った本発明方法による HfAlO_x 膜 A においては、脱離ガス (CH_4 ガス) はほとんど認められない。なお、この第 7 図においては、分子量 16 の CH_4 ガスの脱離を示しているが、その他の分子量、例えば、分子量 28 の C

2 H₄ または分子量 30 の C₂ H₆ においても、さらに、分子量 44 の C
O₂ においても、前記第 7 図におけるものと同様の結果が得られている。

また、この発明方法による HfAlO_x 膜の場合、Si との界面に低誘
電率膜である界面層は一切形成されてないことも確認した。

- 5 このように、本発明方法による HfAlO_x 膜 (High-k 膜) は、
ほとんど不純物を含まず、また、Si との界面に低誘電率層もない。そし
て、本発明方法においては、650℃ といった比較的低温で不純物の除去
を行うことができるので、High-k 膜の結晶化が好適に抑制され、H
i g h - k 膜が結晶化されることによる不都合、すなわち、結晶化されて
10 しまうと、結晶粒界がウィークポイントとなって、折角の High-k 膜
の信頼性が低下するといったことがなくなる。

- 次に、第 8 図はこの発明の第 2 実施例を示すもので、前記第 1 実施例と
同様の出発原料を用いて、Si 基板上に HfAlO_x 膜を 3 nm の厚みで
形成するものである。この第 8 図において、サンプル A、サンプル B、サ
15 ンプル C は、1 nm の成膜の後、所定のガス雰囲気下において熱処理する
もので、①～⑦までのステップによってそれぞれ形成される High-k
膜である。そして、比較例として、一挙に 3 nm の High-k 膜を作成
する従来方法のものをサンプル D とする。そして、これらいずれのサンプ
ル A～D においても、成膜後の熱処理 (PDA) として、酸素ガス雰囲気
下 20 で 650℃ でアニールを行った。

- 前記サンプル A～C は、この発明の方法による High-k 膜を示して
いるが、このうち、サンプル A, B が最初のアニール (熱処理) をアンモ
ニアガス雰囲気下で行っているのに対し、サンプル C は最初のアニール (熱
処理) を酸素ガス雰囲気下で行っている。また、サンプル A, B は、2
25 回目、3 回目のアニール (熱処理) を、前者がアンモニアガス雰囲気下で
行っているのに対し、後者は酸素ガス雰囲気下で行っている。また、サン

プルCはアニール（熱処理）を全て酸素ガス雰囲気下で行っている。

前記サンプルA～Dの物性を評価した。すなわち、膜中の残留不純物としてのカーボンの量をSIMS（Secondary Ionization Mass Spectrometer；二次イオン質量分析）によって分析した。また、膜の緻密性に関してX線反射率測定を行い、膜の密度を求めた。前記分析および測定の結果を下記表1に示す。

〔表1〕

10

	カーボンの量	膜の密度(g/cm ³)
A	0.15	8.8
B	0.12	8.5
C	0.11	8.5
D	1.00	8.0

15

上記表1の結果から、本発明方法によるサンプルA～Cは不純物を除去することができ、さらに、膜が緻密になっていることが分かる。また、不純物除去工程を全て、200Wのプラズマ酸素処理で同様に行ったサンプルの膜中のカーボン量は0.18であり、プラズマ酸素処理においても同様に不純物除去ができることが分かる。

20

さらに、前記サンプルA～Dの電気的特性として、CV（Capacitance-Voltage）カーブのヒステリシス（印加電圧と容量との関係）およびリーク電流を測定したところ、下記表2に示すような結果が得られた。

25

〔表 2〕

	CVのヒステリシス (mV)	リーク電流 (mV/cm ²)
A	15	7.0
B	15	5.0
C	10	1.1
D	80	11.0

上記表 2 から、本発明方法によるサンプル A～C は、従来方法によるサ
 ンプル D に比べて、いずれの電気的特性も優れていることが分かる。すな
 わち、CV カーブのヒステリシスが小さいものほど界面準位が少なく良質
 な膜であるが、サンプル A～C は、サンプル D に比べて著しく小さい。ま
 た、リーク電流もサンプル A～C は、サンプル D に比べて著しく小さい。
 この理由は、表 1 から分かるように、サンプル A～C は、サンプル D に
 比べて不純物が非常に少なく、膜の密度が大きく緻密な良質の膜であるか
 らである。したがって、これらのことから、本発明方法による H i g h - k
 膜は、従来方法による H i g h - k 膜に比べて、非常に優れた性質を有
 することが分かる。

上述の各実施例においては、不純物を除去する工程（熱処理またはアニ
 ール工程）におけるガス雰囲気として還元性ガス雰囲気または酸化性ガス
 雰囲気を採用しており、還元性ガス雰囲気においてはアンモニアガスを用
 い、酸化性ガス雰囲気においては酸素ガスを用いていたが、この発明はこ
 れに限られるものではなく、種々のガスを用いることができる。すなわち
 、不純物を除去する工程における還元性雰囲気を、水素ガスまたは不活性
 ガスを用いて形成してもよく、また、アンモニアガス、水素ガスまたは不
 活性ガスの混合ガスを用いて形成してもよく、プラズマ窒素を用いてもよ

く、さらに、真空中であってもよい。また、不純物を除去する工程における酸化性ガス雰囲気を、一酸化窒素（NO）ガス、亜酸化窒素（N₂O）ガスやオゾンガスを用いて形成してもよく、また、これらのガスを適宜混合した混合ガスを用いて形成してもよく、さらには、プラズマ酸素を用いてもよい。

上述した実施の形態は、いずれも、本発明方法をMIS型トランジスタ1のゲート絶縁膜4の形成方法に適用したものであり、Si基板2上にHigh-k膜よりなるゲート絶縁膜4を形成する方法であったが、この発明は、これに限られるものではなく、MIM型キャパシタのキャパシタ用絶縁膜の形成においても同様に適用することができる。

第9図は、MIM型キャパシタ21の構成を概略的に示すもので、この図において、22はSi単結晶基板（以下、単にSi基板という）で、その抵抗率は例えば0.01～15Ω・cmである。23は素子間を分離させるための素子分離酸化膜で、Si基板2を熱酸化させて形成される。24はSi基板22の表面22aに形成されるゲート絶縁膜で、前記第1図に示したゲート絶縁膜4と同様の手法で形成される。

45はゲート絶縁膜4の上面に形成されるゲート電極で、例えば多結晶Si膜や多結晶SiGe膜、または、ゲート絶縁膜4と反応しないPt（白金）などの貴金属やTiN、TaNなどの高融点金属よりなる。46はチャンネル領域で、nチャンネルにはP（リン）などを、pチャンネルにはB（ボロン）などをそれぞれ注入し、800～1000℃の温度で10～30分間熱処理を行って活性化させる。27は第1層間絶縁膜で、例えば、SiO₂よりなり、CVD法などで形成される。28はチャンネル領域46の引き出し電極で、第1層間絶縁膜27にRIE（反応性イオンエッチング）などの手法でコンタクトホールを形成した後、このコンタクトホール内に例えば、Cu、Al、AlSi、Pt₂Si、TiN、TaN

などの高融点金属を設けてなるものである。

29は前記第1層間絶縁膜27の上面に形成される第2層間絶縁膜で、例えば、 SiO_2 よりなり、CVD法などで形成される。30は第1層間絶縁膜27に形成される引き出し電極28の一方と電氣的に接続されるように、第2層間絶縁膜29に設けられる引き出し電極で、引き出し電極28の形成と同様の手法で形成される。

そして、31は第1層間絶縁膜27に形成される引き出し電極28の他方と電氣的に接続されるように、第2層間絶縁膜29に設けられるキャパシタで、次のように構成されている。すなわち、第2層間絶縁膜29にコンタクトホールが形成され、このコンタクトホール内に、下部電極32、上部電極33およびこれら両電極32、33間に形成されるキャパシタ用絶縁膜34が設けられ、これらによってキャパシタ31が形成される。そして、下部電極32は、Ptなどの貴金属やTiN、TaNなどの高融点金属よりなり、また、上部電極33は、Cu、Al、またはPtなどの貴金属、あるいはTiN、TaNなどの高融点金属よりなり、いずれの電極32、33もキャパシタ用絶縁膜34と反応しない材料で構成される。そして、キャパシタ用絶縁膜34は、下部電極32の上面にHigh-k膜によって形成される。なお、パターニングは、例えば、リソグラフィの技術によって行われる。

20 前記キャパシタ用絶縁膜34の性能を試験するため、例えば、Si基板上に SiO_2 膜を200nmの厚みで形成し、この上面にPt膜を約100nmの厚みで形成して、キャパシタ用下部電極とした。そして、このPt膜よりなるキャパシタ用下部電極の上面に、第8図に示す方法でサンプルA～Cを成膜し、比較例として、一挙に3nmのHigh-k膜を作成する従来方法のものをサンプルDとした。そして、上部電極として、TiN膜を形成して、キャパシタ用絶縁膜の電氣的特性の評価を行ったところ

、下記表3が得られた。

〔表3〕

	絶縁破壊電圧 (MV/cm)
A	8.0~10
B	8.4~10
C	8.6~12
D	3.5~7.4

5 上記表3から、本発明方法によるサンプルA～Cの絶縁破壊電圧が、従来のサンプルDのそれよりも高く、良質な膜であることが分かる。この理由は、表1からも分かるように、サンプルA～Cは、サンプルDに比べて不純物が非常に少なく、膜の密度が大きく緻密な良質の膜であるからである。したがって、これらのことから、本発明方法によるHigh-k膜は、キャパシタ用絶縁膜34としても非常に優れた性質を有することが分かる。
15

なお、上記実施の形態においては、High-k膜が形成される基板としてSi基板を用いているが、これに限られるものではなく、前記基板としてGaAs化合物半導体基板やSOI(Silicon On Insulator)基板を用いてもよい。
20

産業上の利用可能性

以上説明したように、この発明によれば、不純物をほとんど含まないHigh-k膜よりなるゲート絶縁膜を形成することができ、不純物に起因するフラットバンドシフトや界面固定電荷を低減することができ、その結果、高品質のMIS型トランジスタを得ることができる。また、不純物をほとんど含まないHigh-k膜よりなるキャパシタ用絶縁膜を形成する
25

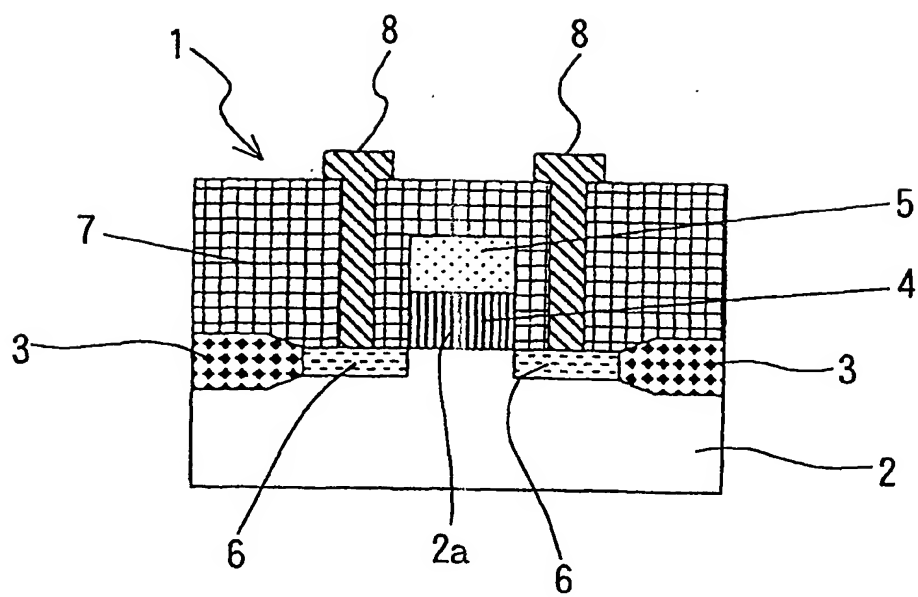
ことができ、不純物に起因する絶縁破壊電圧の低下を防ぐことができ、その結果、高品質のMIM型キャパシタを得ることができる。

請求の範囲

1. 絶縁膜の厚みを0.3～2 nmの範囲に成膜する工程と前記絶縁膜中の不純物を除去する工程とを複数回繰り返すことによって、所定厚みの絶縁膜とすることを特徴とする半導体装置における絶縁膜の形成方法。
2. 不純物を除去する工程を還元性ガス雰囲気または酸化性ガス雰囲気
- 5 下で行う請求の範囲第1項に記載の半導体装置における絶縁膜の形成方法。
3. 不純物を除去する工程を還元性ガス雰囲気下と酸化性ガス雰囲気下との組み合わせで行う請求の範囲第1項に記載の半導体装置における絶縁膜の形成方法。
- 10 4. 不純物を除去する工程における還元性雰囲気が、アンモニアガス、水素ガスまたは不活性ガスのいずれかの単独ガス、これらのガスの混合ガス、プラズマ窒素、または、真空中でのいずれかによって形成されている請求の範囲第2項または第3項に記載の半導体装置における絶縁膜の形成方法。
- 15 5. 不純物を除去する工程における酸化性ガス雰囲気が、酸素ガス、一酸化窒素、亜酸化窒素またはオゾンガスのいずれかの単独ガス、これらのガスの混合ガス、または、プラズマ酸素のいずれかによって形成してなる請求の範囲第2項または第3項に記載の半導体装置における絶縁膜の形成方法。

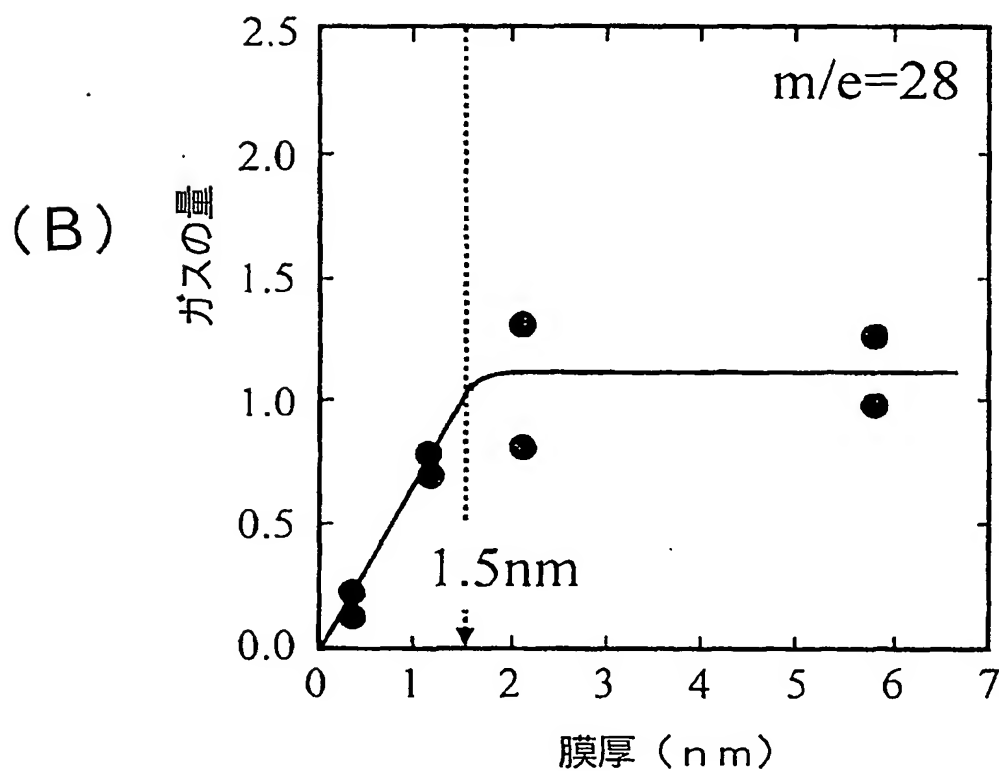
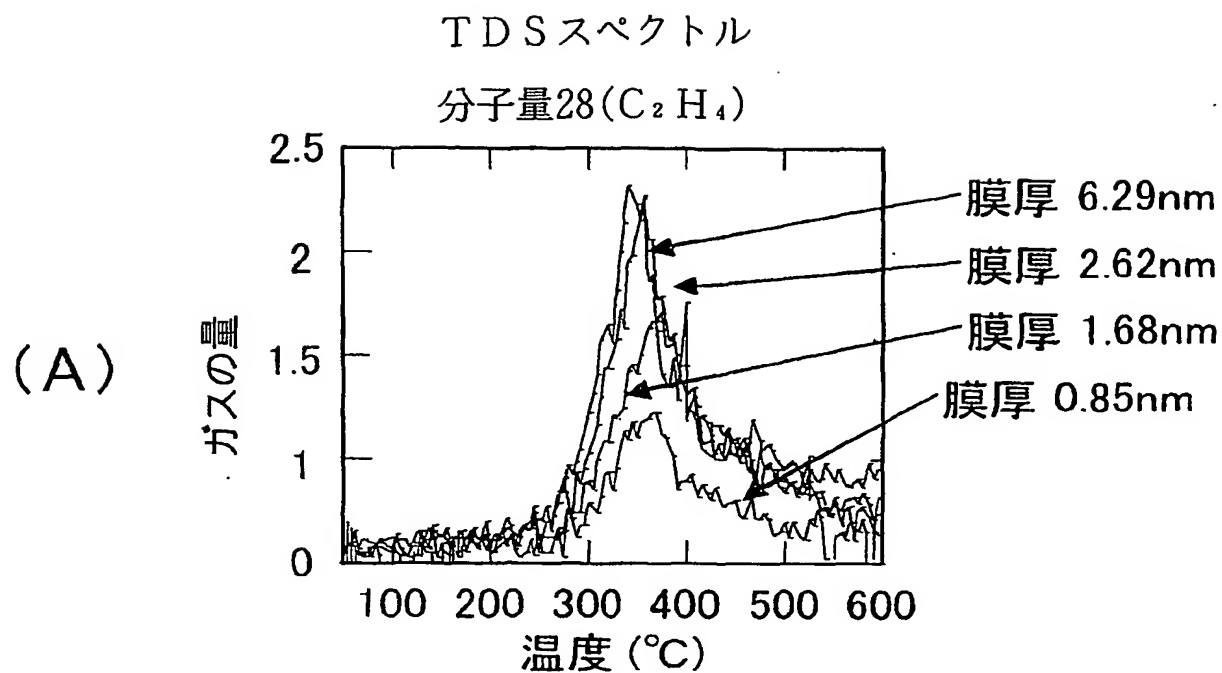
1/9

第1図



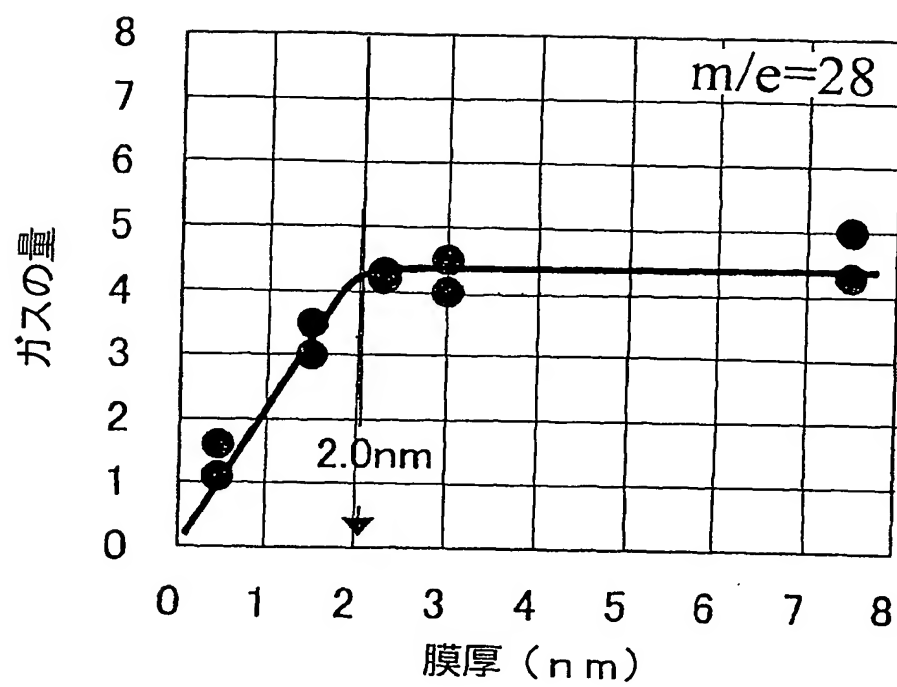
2/9

第2図



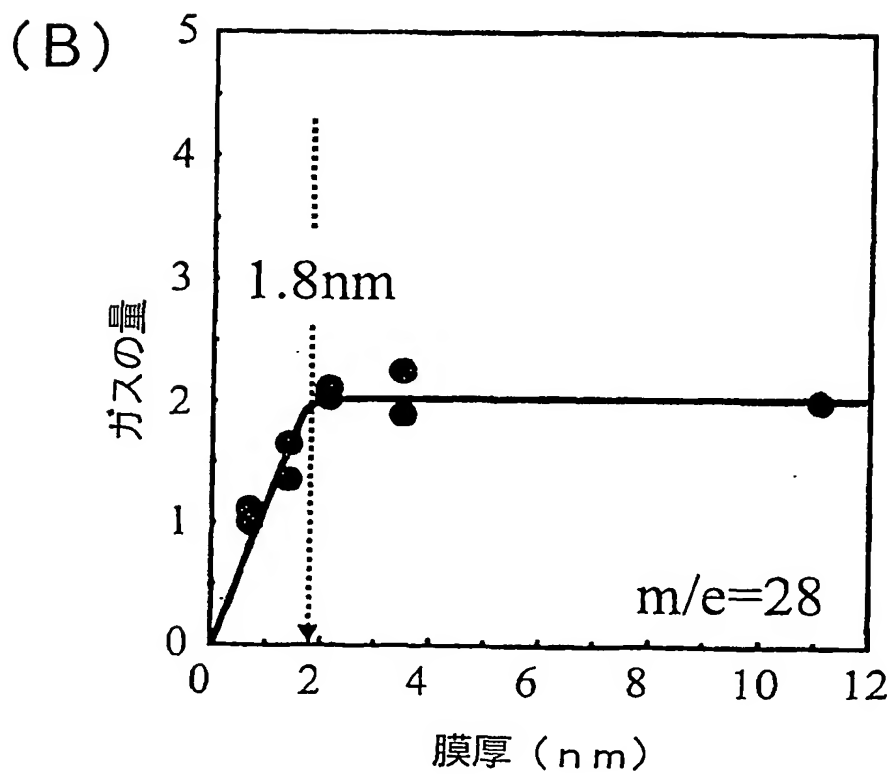
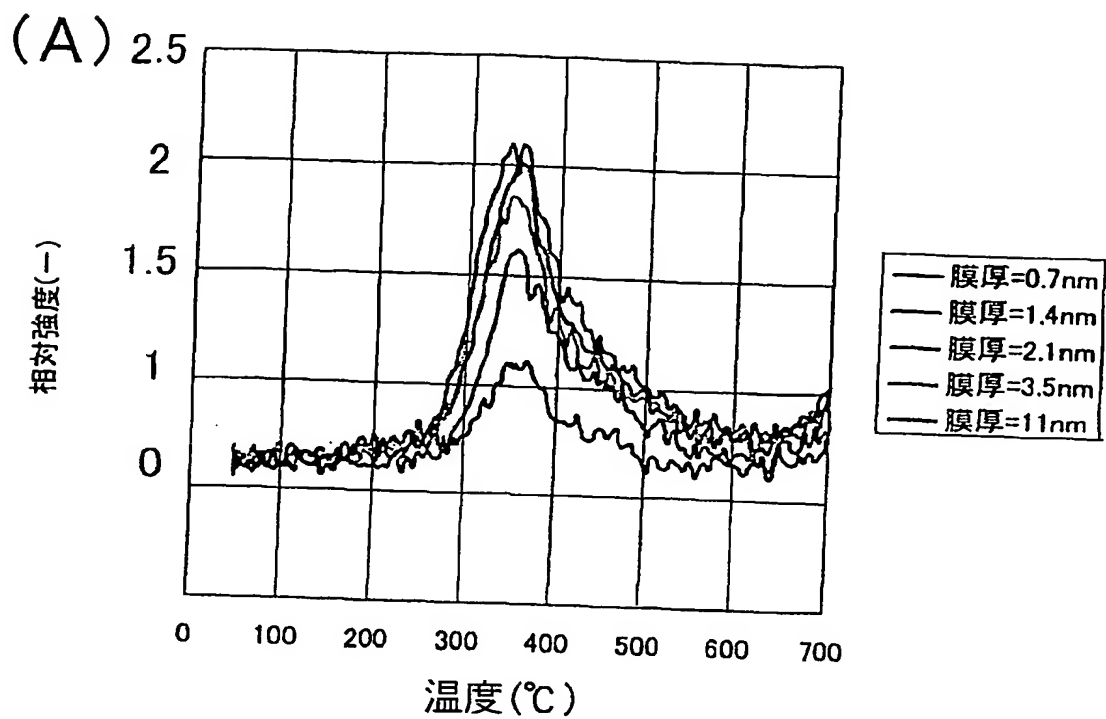
3/9

第3図



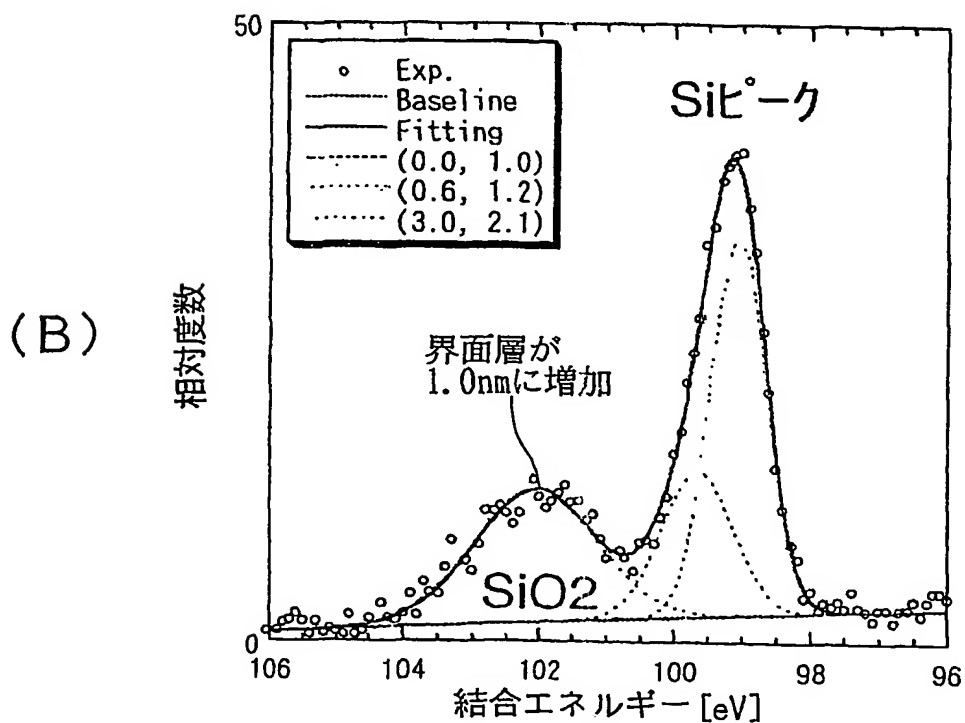
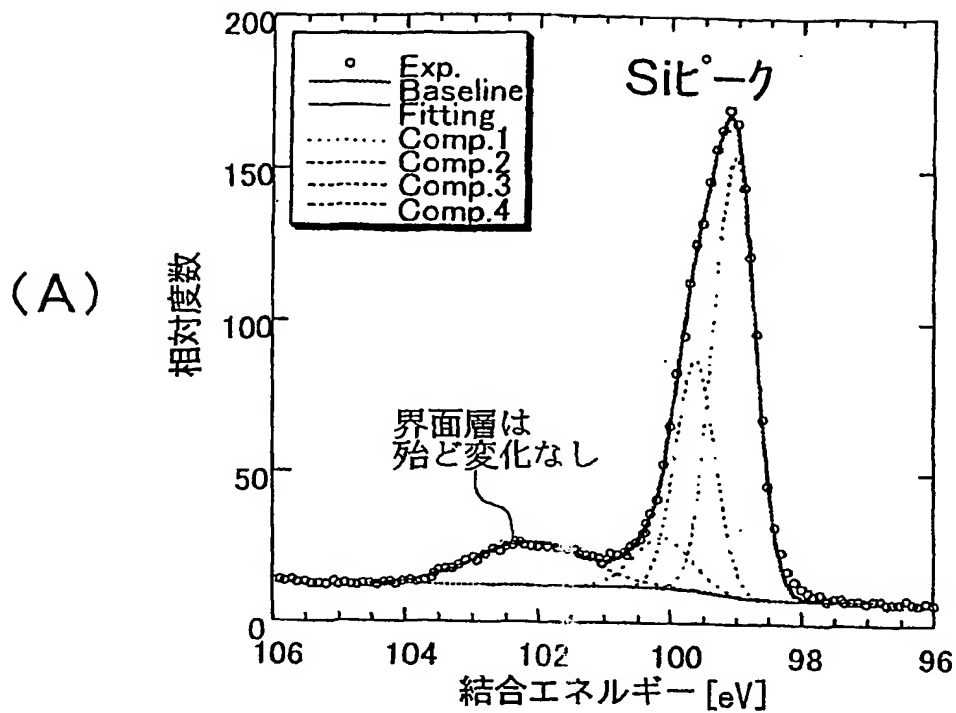
4/9

第4図



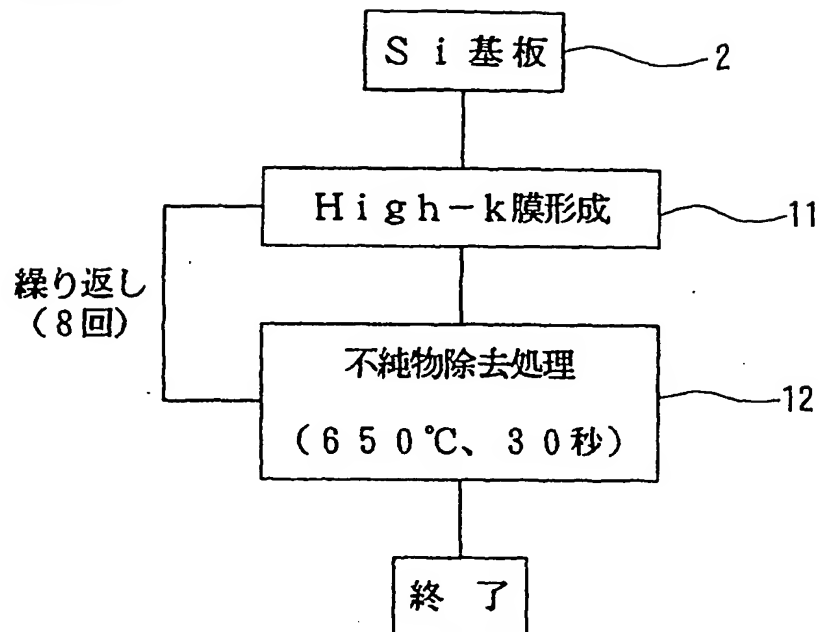
5/9

第5図

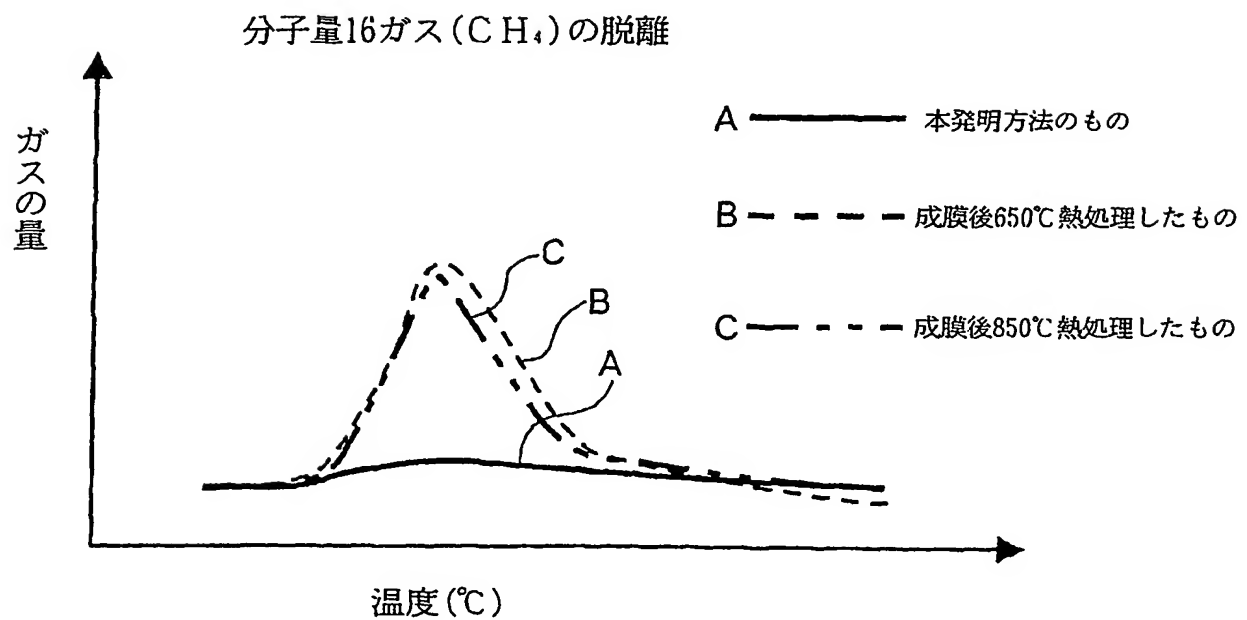


6/9

第6図

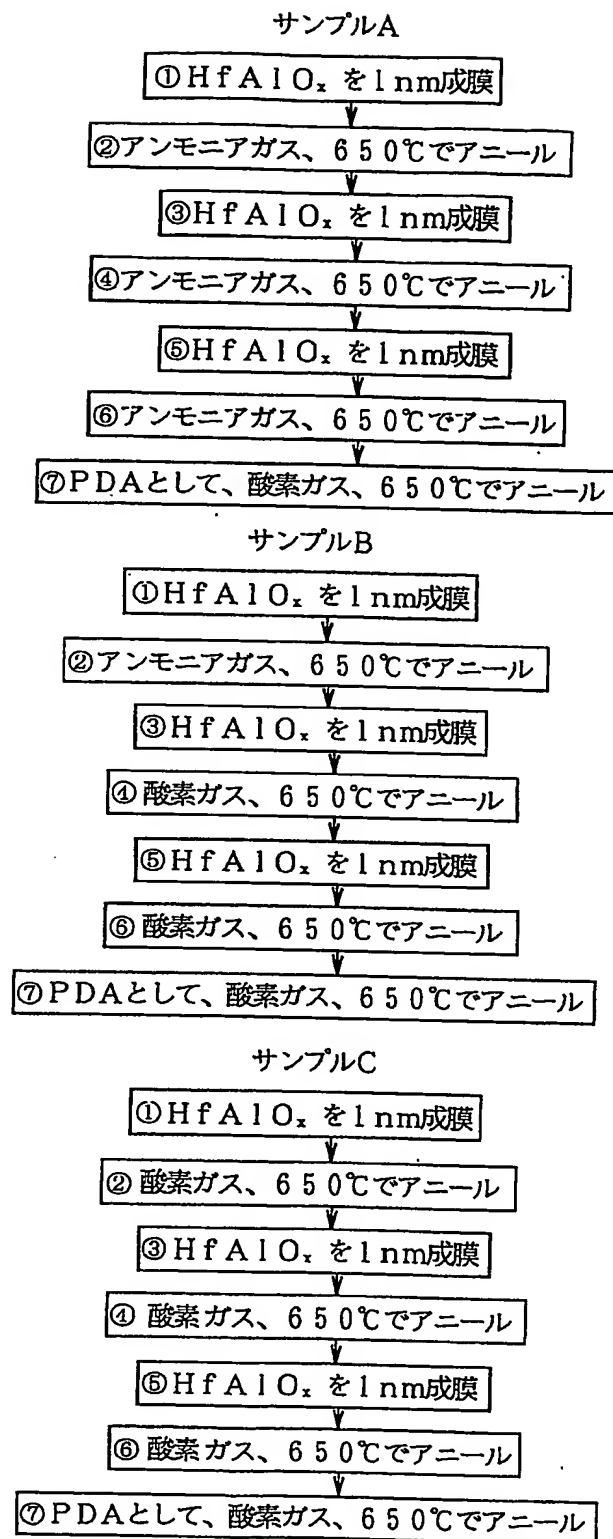


第7図

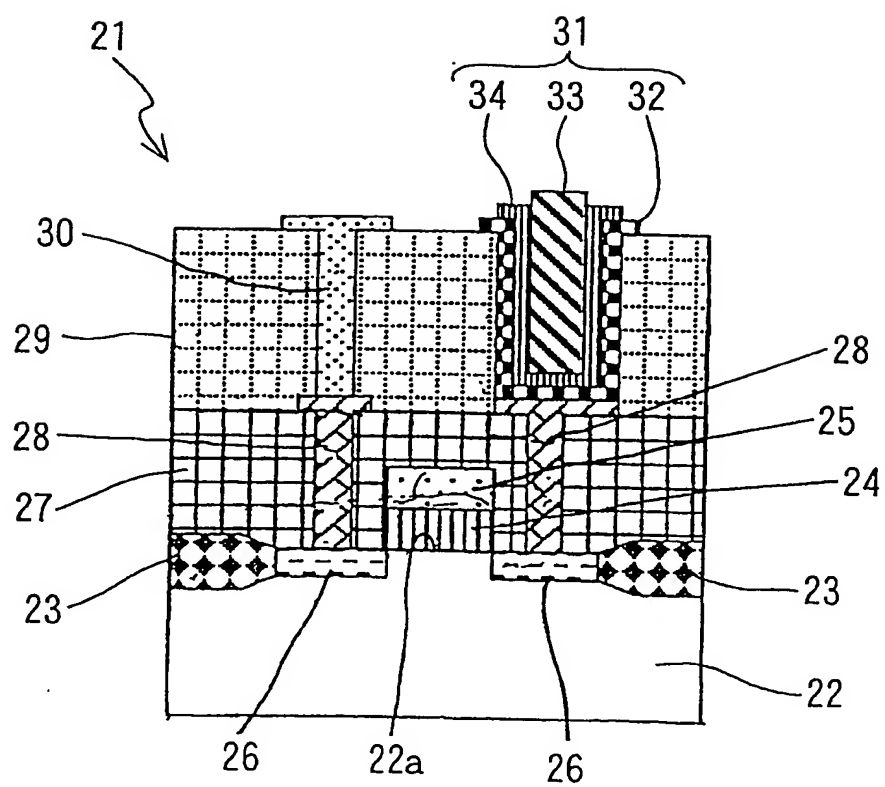


7/9

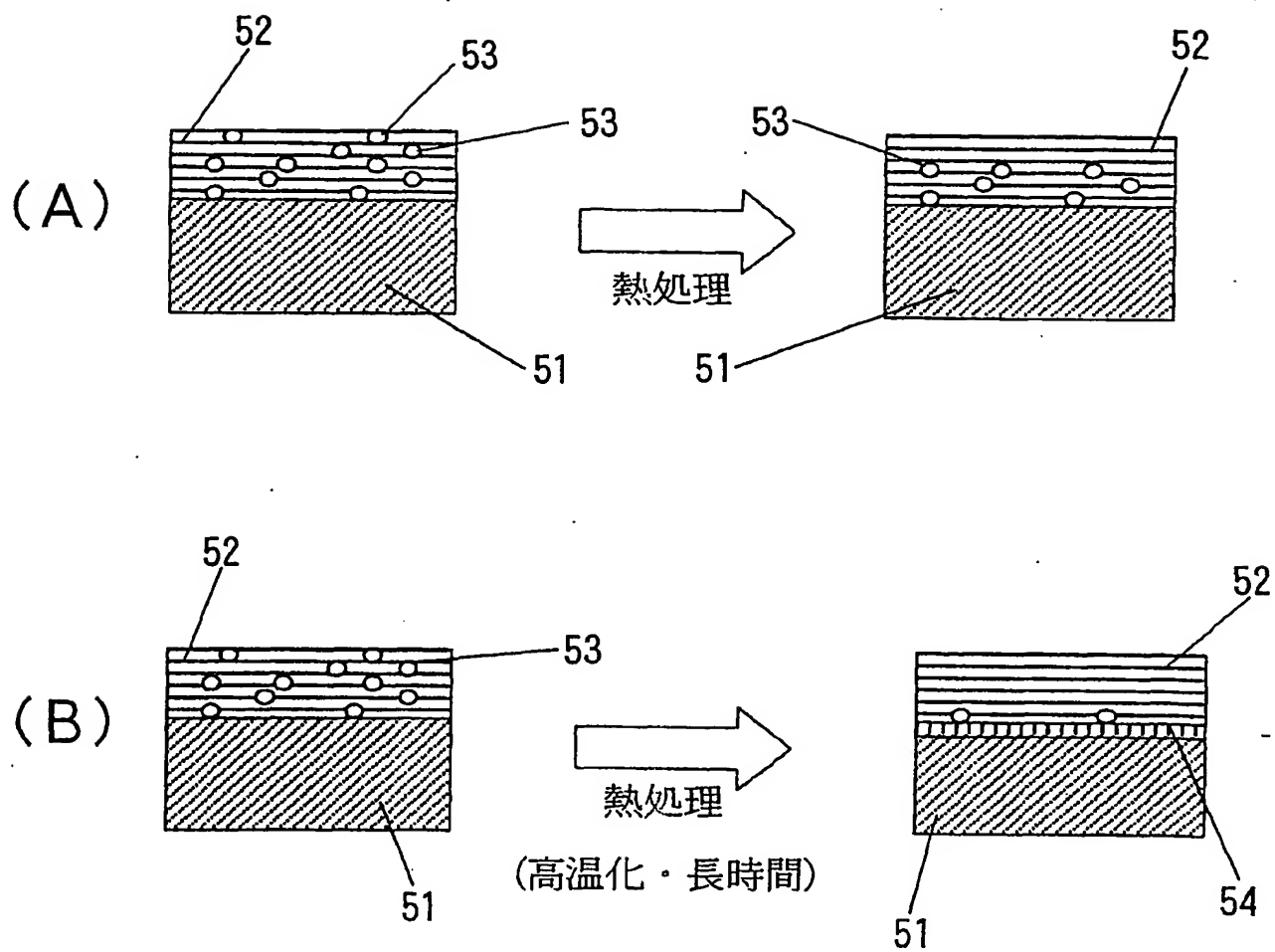
第8図



第9図



第10図



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2004/003638

A. CLASSIFICATION OF SUBJECT MATTER
Int.C1⁷ H01L21/316, 21/318

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)
Int.C1⁷ H01L21/312-21/318

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched
Jitsuyo Shinan Koho 1922-1996 Toroku Jitsuyo Shinan Koho 1994-2004
Kokai Jitsuyo Shinan Koho 1971-2004 Jitsuyo Shinan Toroku Koho 1996-2004

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	WO 02/23614 A1 (Tokyo Electron Ltd.), 21 March, 2002 (21.03.02), Page 14, line 26 to page 17, line 9; Fig. 9 & EP 1326271 A1	1-5
P, X	JP 2003-188171 A (Sony Corp.), 04 July, 2003 (04.07.03), Claims (Family: none)	1-5
P, X	JP 2003-347298 A (Hitachi Kokusai Electric Inc.), 05 December, 2003 (05.12.03), Column 20, line 40 to column 21, line 48 (Family: none)	1-5

☒ Further documents are listed in the continuation of Box C.

☐ See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance
"E" earlier application or patent but published on or after the international filing date
"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
"O" document referring to an oral disclosure, use, exhibition or other means
"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
"&" document member of the same patent family

Date of the actual completion of the international search
26 April, 2004 (26.04.04)

Date of mailing of the international search report
18 May, 2004 (18.05.04)

Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2004/003638

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 2003-17684 A (Hitachi, Ltd.), 17 January, 2003 (17.01.03), (Family: none)	1-5

A. 発明の属する分野の分類 (国際特許分類 (IPC))

Int. Cl⁷ H01L21/316, 21/318

B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (IPC))

Int. Cl⁷ H01L21/312 - 21/318

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報 1922-1996年
 日本国公開実用新案公報 1971-2004年
 日本国登録実用新案公報 1994-2004年
 日本国実用新案登録公報 1996-2004年

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
X	WO 02/23614 A1 (東京エレクトロン株式会社) 2002. 03. 21, 第14頁第26行~第17頁第9行, 図9 & EP 1326271 A1	1-5.
PX	JP 2003-188171 A (ソニー株式会社) 2003. 07. 04, 特許請求の範囲 (ファミリーなし)	1-5

☒ C欄の続きにも文献が列挙されている。☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」 特に関連のある文献ではなく、一般的技術水準を示すもの
 「E」 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
 「L」 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)
 「O」 口頭による開示、使用、展示等に言及する文献
 「P」 国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献
 「T」 国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
 「X」 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
 「Y」 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
 「&」 同一パテントファミリー文献

国際調査を完了した日

26. 04. 2004

国際調査報告の発送日

18. 5. 2004

国際調査機関の名称及びあて先

日本国特許庁 (ISA/JP)
 郵便番号100-8915
 東京都千代田区霞が関三丁目4番3号

特許庁審査官 (権限のある職員)

田中 永一

4R

9539

電話番号 03-3581-1101 内線 3469

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
P X	J P 2003-347298 A (株式会社日立国際電気) 2003. 12. 05, 第20欄第40行~第21欄第48行 (ファミリーなし)	1-5
A	J P 2003-17684 A (株式会社日立製作所) 2003. 01. 17 (ファミリーなし)	1-5